

PAT-NO: JP403164866A
DOCUMENT-IDENTIFIER: JP 03164266 A
TITLE: HASH ENCODING CIRCUIT
PUBN-DATE: July 16, 1991

INVENTOR-INFORMATION:

NAME

KOBAYASHI, HIROTSUYO
IWAMOTO, YOSHIHARU

INT-CL (IPC): G06F015/40

ABSTRACT:

PURPOSE: To adopt a hash encoding circuit even to the address starting method of a collision treatment by providing a first table to output a hash address by an input key, a second table to output the hash address by the input key and the number of times of collision, and selecting mechanism for an output hash address.

CONSTITUTION: When hash address data, which are outputted by the first table 3 according to the input key, executes collision in the search of a hash table, the second table 6 outputs the new hash address data by inputting the key and the number of times for collision. Further, the selecting mechanism of the first and second tables 3 and 6 issues an instruction to select the second table 6. Accordingly, the new hash address can be obtained. As long as the collision is generated, the number of times of collision is counted and inputted by a series of these operations. Thus, the second table 6 can output the new hash address data.

COPYRIGHT: (C)1991,JPO&Japio

----- KWIC -----

Abstract Text - FPAR (2):

CONSTITUTION: When hash address data, which are outputted by the first table 3 according to the input key, executes collision in the search of a hash table, the second table 6 outputs the new hash address data by inputting the key and the number of times for collision. Further, the selecting mechanism of the first and second tables 3 and 6 issues an instruction to select the second table 6. Accordingly, the new hash address can be obtained. As long as the collision is generated, the number of times of collision is counted and inputted by a series of these operations. Thus, the second table 6 can output the new hash address data.

Document Identifier - DID (1):

JP 03164866 A

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3164866号
(P3164866)

(45) 発行日 平成13年5月14日 (2001.5.14)

(24) 登録日 平成13年3月2日 (2001.3.2)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 A

G 0 2 F 1/1368

G 0 2 F 1/136

5 0 0

H 0 1 L 21/336

請求項の数9 (全 9 頁)

(21) 出願番号

特願平4-189

(22) 出願日

平成4年1月6日 (1992.1.6)

(65) 公開番号

特開平5-182986

(43) 公開日

平成5年7月23日 (1993.7.23)

審査請求日

平成10年3月13日 (1998.3.13)

(73) 特許権者

000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(72) 発明者

沖 賢一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者

梁井 健一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者

田中 勉

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人

100091672

弁理士 岡本 啓三

審査官

河本 充雄

最終頁に続く

(54) 【発明の名称】 液晶装置及びその製造方法

1

(57) 【特許請求の範囲】

【請求項1】 基体と、

前記基体上に選択的に形成された、第1の導電膜を含む
積層導電膜からなるソース電極及びドレイン電極と、
前記ソース電極及びドレイン電極以外の領域に形成され
た、前記第1の導電膜の酸化物からなる第1の絶縁膜
と、
前記ソース電極及びドレイン電極とを接続する半導体層
と、

前記半導体層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極とを有する
ことを特徴とする液晶装置。

【請求項2】 前記基体上に設けられ、前記ソース電極
に接続する画素電極を備えることを特徴とする請求項1
記載の液晶装置。

2

【請求項3】 前記第1の絶縁膜上に設けられ、前記ソ
ース電極に接続する画素電極を備えることを特徴とする
請求項1記載の液晶装置。

【請求項4】 前記積層導電膜からなり、前記ドレイン
電極に接続するドレインバスラインを備えることを特徴
とする請求項1記載の液晶装置。

【請求項5】 前記第1の絶縁膜の膜厚は、前記積層導
電膜の膜厚とほぼ等しい膜厚を有することを特徴とする
請求項1記載の液晶装置。

10

【請求項6】 前記第1の導電膜はA1膜であり、前記
第1の絶縁膜はアルミナ (Al₂O₃) 膜であることを特徴
とする請求項1記載の液晶装置。

【請求項7】 前記積層導電膜は、前記第1の導電膜/
クロム (Cr) 膜/アモルファスシリコン (a-Si)
膜の3層の導電膜であることを特徴とする請求項1記載

の液晶装置。

【請求項8】 前記積層導電膜は、前記第1の導電膜／モリブデン（Mo）膜／アモルファスシリコン（a-Si）膜の3層の導電膜であることを特徴とする請求項1記載の液晶装置。

【請求項9】 基体上に、第1の導電膜を含む積層導電膜を形成する工程と、

ソース電極及びドレイン電極を形成すべき領域における前記積層導電膜上に選択的にマスクを形成し、該マスクで被覆した領域以外の領域の前記第1の導電膜を表出する工程と、

前記マスクで被覆した領域以外の領域の第1の導電膜を選択的に酸化し、前記ソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極と接続する半導体層、ゲート絶縁膜、及びゲート電極を形成する工程とを有することを特徴とする液晶装置の製造方法。

【発明の詳細な説明】

【0001】

（目次）

- ・産業上の利用分野
- ・従来の技術（図7、図8）
- ・発明が解決しようとする課題
- ・課題を解決するための手段
- ・作用
- ・実施例

（1）第1の実施例（図1～図3）

（2）第2の実施例（図4）

（3）第3の実施例（図5）

（4）第4の実施例（図6）

・発明の効果

【0002】

【産業上の利用分野】本発明は、液晶装置の製造方法に関し、更に詳しく言えば、制御素子として薄膜トランジスタを有する液晶装置の製造方法に関する。

【0003】

【従来の技術】図7（a）～（c）、図8（d）、

（e）は、従来例の薄膜トランジスタを有する、スタガ型の液晶装置の製造方法について説明する図である。なお、図8（e）は図8（d）の上面図で、図8（d）の左側が図8（e）のA-A線断面図で、図8（d）の右側が図8（e）のB-B線断面図である。

【0004】まず、図7（a）に示すように、透明基板1上の、薄膜トランジスタ（TFT）のチャンネル層を形成すべき領域に、このチャンネル層に液晶装置の駆動のためのバックライト光が当たらないように遮光膜2を選択的に形成する。次いで、遮光膜2を被覆して第1の絶縁膜3を形成する。続いて、第1の絶縁膜3上にITO膜4を形成する。

【0005】次に、ITO膜4をパターンニングして、遮

光膜2の上方の領域を挟んで対向するソース電極4a及びドレイン電極4bと、ソース電極4aと接続する画素電極4cとを第1の絶縁膜3上に形成する。続いて、ドレイン電極4b上に他の領域に同時に形成された複数の薄膜トランジスタのドレイン電極と接続してドレインバスライン5を選択的に形成する（図7（b））。

【0006】次いで、半導体層6、第2の絶縁膜7及び導電膜8を順次形成する（図7（c））。次に、半導体層6、第2の絶縁膜7及び導電膜8をパターンニングして、半導体層6a、第2の絶縁膜7からなるゲート絶縁膜7a及び導電膜8からなるゲート電極8aを形成する。これにより、半導体層6aには、ソース電極4a上にソース領域層が、ソース領域層と対向する領域であって、ドレイン電極4b上にドレイン領域層が、ソース領域層とドレイン領域層との間の領域にチャンネル領域層がそれぞれ形成される（図8（d）、（e））。その後、不図示の別の共通電極基板を張り合わせ、液晶を封入すると、液晶装置が完成する。

【0007】

20 【発明が解決しようとする課題】ところで、上記の液晶装置によれば、各画素毎に薄膜トランジスタを形成する必要があり、構造が複雑となる。特に、大画面の表示装置を作成しようすると、その製造工程が更に複雑となるため、製造歩留りが低下し、コストが高くなるという問題がある。

【0008】本発明は、かかる従来技術の問題点に鑑みて創作されたものであり、製造工程を簡略化することにより、より高い製造歩留りを得ることができる液晶装置及びその製造方法を提供することを目的とする。

30 【0009】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、液晶装置に係り、基体と、前記基体上に選択的に形成された、第1の導電膜を含む積層導電膜からなるソース電極及びドレイン電極と、前記ソース電極及びドレイン電極以外の領域に形成された、前記第1の導電膜の酸化物からなる第1の絶縁膜と、前記ソース電極及びドレイン電極とを接続する半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有することを特徴とし、請求項2記載の発明は、請求項1記載の液晶装置に係り、前記基体上に設けられ、前記ソース電極に接続する画素電極を備えることを特徴とし、請求項3記載の発明は、請求項1記載の液晶装置に係り、前記第1の絶縁膜上に設けられ、前記ソース電極に接続する画素電極を備えることを特徴とし、請求項4記載の発明は、請求項1記載の液晶装置に係り、前記積層導電膜からなり、前記ドレイン電極に接続するドレインバスラインを備えることを特徴とし、請求項5記載の発明は、請求項1記載の液晶装置に係り、前記第1の絶縁膜の膜厚は、前記積層導電膜の膜厚とほぼ等しい膜厚を有する

ことを特徴とし、請求項6記載の発明は、請求項1記載の液晶装置に係り、前記第1の導電膜はAl膜であり、前記第1の絶縁膜はアルミナ(Al_2O_3)膜であることを特徴とし、請求項7記載の発明は、請求項1記載の液晶装置に係り、前記積層導電膜は、前記第1の導電膜/クロム(Cr)膜/アモルファスシリコン(a-Si)膜の3層の導電膜であることを特徴とし、請求項8記載の発明は、請求項1記載の液晶装置に係り、前記積層導電膜は、前記第1の導電膜/モリブデン(Mo)膜/アモルファスシリコン(a-Si)膜の3層の導電膜であることを特徴とし、請求項9記載の発明は、液晶装置の製造方法に係り、基体上に、第1の導電膜を含む積層導電膜を形成する工程と、ソース電極及びドレイン電極を形成すべき領域における前記積層導電膜上に選択的にマスクを形成し、該マスクで被覆した領域以外の領域の前記第1の導電膜を表出する工程と、前記マスクで被覆した領域以外の領域の第1の導電膜を選択的に酸化し、前記ソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極と接続する半導体層、ゲート絶縁膜、及びゲート電極を形成する工程とを有することを特徴としている。

【0010】

【作用】本発明の液晶装置においては、基体上に選択的に形成された、第1の導電膜を含む積層導電膜からなるソース電極及びドレイン電極と、ソース電極及びドレイン電極以外の領域に形成された、第1の導電膜の酸化物からなる第1の絶縁膜を有している。

【0011】また、本発明の液晶装置の製造方法においては、第1の導電膜を含む積層導電膜を形成する工程と、ソース電極及びドレイン電極を形成すべき領域における積層導電膜上に選択的にマスクを形成し、マスクで被覆した領域以外の領域の第1の導電膜を表出する工程と、マスクで被覆した領域以外の領域の第1の導電膜を選択的に酸化し、ソース電極及びドレイン電極を形成する工程とを有している。

【0012】従って、従来と異なり、ソース電極及びドレイン電極とを一度に形成することができるとともに、これらの間を絶縁する第1の絶縁膜もソース電極、ドレイン電極の形成と同時に形成することができる。

【0013】特に、第1の絶縁膜の膜厚をソース電極及びドレイン電極とほぼ等しい膜厚とすることができるので、基板表面の平坦化を図ることができる。

【0014】また、第1の導電膜としてAl膜を用いることにより、陽極酸化等により容易に選択酸化でき、かつ緻密な膜質を有するアルミナ(Al_2O_3)膜を形成することができる。しかも、残存したAl膜は高い電気伝導度を有するので、電極としても最適である。

【0015】さらに、第1の導電膜の選択酸化のために陽極酸化を用いることにより、選択酸化のマスクとして熱に弱い、取り扱いが簡単なレジスト膜当をマスクと

して用いることができる。

【0016】

【実施例】(1)第1及び第2の実施例

図1(a)～図3(h)は、本発明の第1の実施例の、スタガ型のTFTアクティブマトリクスLCDの製造方法の説明図である。なお、図1(a)～図3(g)は断面図、図3(h)は上面図で、図3(h)のC-C線断面図を図3(g)の左側の断面図に、図3(h)のD-D線断面図を図3(g)の右側の断面図に示す。

【0017】まず、図1(a)に示すように、透明基板11上の、薄膜トランジスタ(TFT)のチャネル領域層を形成すべき領域に、このチャネル領域層に液晶装置の駆動のためのバックライト光が当たらないように膜厚約500Åのクロム(Cr)膜からなる遮光膜12を選択的に形成する。続いて、遮光膜12を被覆して膜厚約5000Åの窒化膜(Si_3N_4 膜)からなる第1の絶縁膜(絶縁膜)13を形成する。なお、以上が透明基体51を構成する。

【0018】次いで、第1の絶縁膜13上に膜厚約500ÅのITO膜14を形成する。次に、ITO膜14をパターンニングして第1の絶縁膜13上に選択的に画素電極14aを形成する(図1(b))。

【0019】次いで、第1の絶縁膜13及び画素電極14a上に、膜厚約1000ÅのAl膜からなる第1の導電膜(第3の導電膜)15及び膜厚約300Åのモリブデン(Mo)膜16をスパッタ法により順次形成した後、プラズマCVD法によりMo膜16上に膜厚約500Åのリンをドーパしたn型のアモルファスシリコン(n+a-Si)膜17を形成する。これら3層の導電膜が最下層に第1の導電膜(第3の導電膜)15を含む導電膜18を構成する(図1(c))。

【0020】次いで、遮光膜12の上方の領域を挟んでソース電極及びドレイン電極を形成すべき領域と、ドレイン電極と接続するドレインバスラインを形成すべき領域との導電膜18上に選択的にレジスト膜(マスク)19a、19bを形成した後、このレジスト膜19a、19bをマスクとして選択的にn+a-Si膜17/Mo膜16をエッチング・除去し、レジスト膜19a、19bで被覆した領域以外の領域の第1の導電膜15を表出する(図2(d))。

【0021】次に、レジスト膜19a、19bで被覆した領域以外の領域の第1の導電膜15を陽極酸化法により選択的に酸化してアルミナ(Al_2O_3)膜からなる第2の絶縁膜(第1又は第3の絶縁膜)20を形成するとともに、レジスト膜19a、19bの下に残存する導電膜18からなるソース電極18a、ドレイン電極18b及びドレイン電極18bと接続するドレインバスライン18cを形成する。このとき、予め第1の導電膜15の選択酸化により形成された後の第2の絶縁膜20の膜厚が導電膜18の膜厚と等しくなるように、第1の導電膜15の膜厚と導

電膜18の膜厚との比率が設定してあるので、基板表面はほぼ平坦になる(図2(e))。

【0022】次いで、ソース電極18a、ドレイン電極18b、ドレインバスライン18c及び第2の絶縁膜20上に膜厚約300Åのa-Si膜からなる半導体層21、膜厚約4000ÅのSi₃N₄膜からなる第3の絶縁膜(第4の絶縁膜)22及び膜厚約6000ÅのAl膜からなる第4の導電膜23を形成する(図2(f))。

【0023】次に、半導体層21、第3の絶縁膜22及び第4の導電膜23をパターンニングして、ソース電極18aとドレイン電極18bとを橋渡しして遮光膜12の上方の第2の絶縁膜20上に、ソース電極18a及びドレイン電極18bと接続する半導体層21a、第3の絶縁膜22からなるゲート絶縁膜22aを形成するとともに、第4の導電膜23からなるゲート電極23a及びゲート電極23aと共通になっているゲートバスライン24aを形成する。これにより、半導体層21aには、ソース電極18a上にソース領域層21bが、ソース領域層21bと対向する領域であって、ドレイン電極18b上にドレイン領域層21cが、ソース領域層21bとドレイン領域層21cとの間の領域にチャネル領域層21dがそれぞれ形成される(図3(g)、(h))。

【0024】その後、不図示の別の共通電極基板を張り合わせ、液晶を封入すると、スタガ型のTFTアクティブマトリクスLCDが完成する。以上のように、本発明の液晶装置においては、第1の絶縁膜13の上であって、第1の導電膜15を含む導電膜18からなるソース電極18a、ドレイン電極18b及びドレインバスライン18cの形成された領域以外の領域に形成された第1の導電膜15の酸化物からなる第2の絶縁膜20を有している。

【0025】また、本発明の液晶装置の製造方法においては、レジスト膜19a、19bにより被覆された領域以外の領域の第1の導電膜15を選択的に酸化して、第1の絶縁膜13の上であって、ソース電極18a、ドレイン電極18b及びドレインバスライン18cを形成すべき領域以外の領域に選択的に第2の絶縁膜20を形成するとともに、レジスト膜19a、19bの下に残存し、最下層に第1の導電膜15を含む導電膜18からなるソース電極18a、ドレイン電極18b及びドレインバスライン18cを形成している。

【0026】従って、従来と異なり、ソース電極18a及びドレイン電極18bとドレインバスライン18cとを一度に形成することができるとともに、これらの間を絶縁する第2の絶縁膜20もソース電極18a、ドレイン電極18b及びドレインバスライン18cの形成と同時に形成することができるので、製造工程を簡略化することができる。

【0027】特に、第2の絶縁膜20の膜厚をソース電極18a、ドレイン電極18b及びドレインバスライン18c

の膜厚とほぼ等しい膜厚とすることにより基板表面の平坦化を図ることができる。

【0028】また、第1の導電膜15としてAl膜を用いることにより、陽極酸化等により容易に選択酸化でき、かつ緻密な膜質を有するアルミナ(Al₂O₃)膜を形成することができる。しかも、残存したAl膜は高い電気伝導度を有するので、電極としても最適である。

【0029】更に、第1の導電膜15の選択酸化のために陽極酸化を用いることにより、選択酸化のマスクとして、熱に弱い、取扱が簡単なレジスト膜19等のマスクを用いることができる。

【0030】(2)第2の実施例

図4(a)、(b)は本発明の第2の実施例のスタガ型のTFTアクティブマトリクスLCDの製造方法の説明図で、図4(a)は断面図、図4(b)は上面図で、図4(b)のE-E線断面図は図4(a)の左側の図を、図4(b)のF-F線断面図は図4(a)の右側の図をそれぞれ示す。

【0031】第2の実施例において、第1の実施例と異なるところは、第1の実施例では画素電極14aは第1の絶縁膜13の形成後であって、第1の導電膜15を形成する前に形成されているが、ソース電極18a、ドレイン電極18b、ドレインバスライン18c及び第2の絶縁膜20を形成した後、半導体層21aを形成する前にソース電極18aと接続するように選択的に形成していることである。なお、図中他の符号については、図1～図3の符号と同じ符号で示すものは、図1～図3と同じものを示す。

【0032】以上のような第2の実施例においても、第1の実施例と同様に、ソース電極18a及びドレイン電極18bとドレインバスライン18cとを一度に形成することができるとともに、これらの間を絶縁する第2の絶縁膜20もソース電極18a、ドレイン電極18b及びドレインバスライン18cの形成と同時に形成することができるので、製造工程を簡略化することができる。

【0033】(3)第3の実施例

図5(a)、(b)は本発明の第3の実施例のスタガ型のTFTアクティブマトリクスLCDの製造方法の説明図で、図5(a)は断面図、図5(b)は上面図で、図5(b)のG-G線断面図は図5(a)の左側の図を、図5(b)のH-H線断面図は図5(a)の右側の図をそれぞれ示す。

【0034】第3の実施例において、第1の実施例と異なるところは、第1の実施例ではゲートバスライン23bはゲート電極23aと共通になっており、薄膜トランジスタ(TFT)の上方を通過しているが、第3の実施例では、図5(b)に示すように、ゲートバスライン24bはゲート電極23bとは別の領域を通過するようにしていることである。なお、21eはソース電極18aとドレイン電極18bとを橋渡しするように形成された半導体層、22b

は半導体層21e上のゲート絶縁膜である。他の符号については、図1～図3の符号と同じ符号で示すものは、図1～図3と同じものを示す。

【0035】以上のような第3の実施例においても、第1の実施例と同様に、ソース電極18a及びドレイン電極18bとドレインバスライン18cとを一度に形成することができるとともに、これらの間を絶縁する第2の絶縁膜20もソース電極18a、ドレイン電極18b及びドレインバスライン18cの形成と同時に形成することができるので、製造工程を簡略化することができる。

【0036】(4) 第4の実施例

図6(a)、(b)は本発明の第4の実施例のスタガ型のTFTアクティブマトリクスLCDの製造方法の説明図で、図6(a)は断面図、図6(b)は上面図で、図6(b)のI-I線断面図は図6(a)の左側の図を、図6(b)のJ-J線断面図は図6(a)の右側の図をそれぞれ示す。

【0037】第4の実施例において、第3の実施例と異なるところは、第3の実施例ではソース電極18aの両側にチャネル領域層21dを挟んで対称的にドレイン電極18bが形成されているが、第4の実施例では、図6(b)に示すように、ソース電極18aの片側にのみチャネル領域層21dを挟んで一つのドレイン電極18bが形成されていることである。なお、24cはゲートバスライン、23cはゲート電極で、第3の実施例の図5(b)に示す場合と同様に別の領域を通過するようにしている。また、21fはソース電極18aとドレイン電極18bとを橋渡するように形成された半導体層、22cは半導体層21f上のゲート絶縁膜である。更に、他の符号については、図5(a)、(b)の符号と同じ符号で示すものは、図5(a)、(b)と同じものを示す。

【0038】以上のような第4の実施例においても、第1の実施例と同様に、ソース電極18a及びドレイン電極18bとドレインバスライン18cとを一度に形成することができるとともに、これらの間を絶縁する第2の絶縁膜20もソース電極18a、ドレイン電極18b及びドレインバスライン18cの形成と同時に形成することができるので、製造工程を簡略化することができる。

【0039】

【発明の効果】以上のように、本発明の液晶装置においては、基体上に選択的に形成された、第1の導電膜を含む積層導電膜からなるソース電極及びドレイン電極と、ソース電極及びドレイン電極以外の領域に形成された、第1の導電膜の酸化化物からなる第1の絶縁膜を有している。

【0040】また、本発明の液晶装置の製造方法においては、第1の導電膜を含む積層導電膜を形成する工程と、ソース電極及びドレイン電極を形成すべき領域における積層導電膜上に選択的にマスクを形成し、マスクで被覆した領域以外の領域の第1の導電膜を表出する工程

と、マスクで被覆した領域以外の領域の第1の導電膜を選択的に酸化し、ソース電極及びドレイン電極を形成する工程とを有している。

【0041】従って、従来と異なり、ソース電極及びドレイン電極と、これらの間を絶縁する第1の絶縁膜とを同時に形成することができる。また、これにより、製造工程の簡略化を図ることができる。

【0042】特に、第1の絶縁膜の膜厚をソース電極及びドレイン電極とほぼ等しい膜厚とすることができるので、基板表面の平坦化を図ることができる。

【0043】また、第1の導電膜としてAl膜を用いることにより、陽極酸化等により容易に選択酸化でき、かつ緻密な膜質を有するアルミナ(Al_2O_3)膜を形成することができる。

【0044】さらに、第1の導電膜の選択酸化のために陽極酸化を用いることにより、選択酸化のマスクとして熱に弱い、取り扱いが簡単なレジスト膜当をマスクとして用いることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のTFTアクティブマトリクスLCDの製造方法の説明図(その1)である。

【図2】本発明の第1の実施例のTFTアクティブマトリクスLCDの製造方法の説明図(その2)である。

【図3】本発明の第1の実施例のTFTアクティブマトリクスLCDの製造方法の説明図(その3)である。

【図4】本発明の第2の実施例のTFTアクティブマトリクスLCDの製造方法の説明図である。

【図5】本発明の第3の実施例のTFTアクティブマトリクスLCDの製造方法の説明図である。

【図6】本発明の第4の実施例のTFTアクティブマトリクスLCDの製造方法の説明図である。

【図7】従来例のTFTアクティブマトリクスLCDの製造方法の説明図(その1)である。

【図8】従来例のTFTアクティブマトリクスLCDの製造方法の説明図(その2)である。

【符号の説明】

11 透明基板、

12 遮光膜、

13 第1の絶縁膜(絶縁膜)、

14 ITO膜、

14a, 14b 画素電極、

15 第1の導電膜(第3の導電膜)、

16, 16a, 16b Mo膜、

17, 17a, 17b a-Si膜、

18 導電膜、

18a ソース電極、

18b ドレイン電極、

18c ドレインバスライン、

19a, 19b レジスト膜(マスク)、

20 第2の絶縁膜(第1又は第3の絶縁膜)、

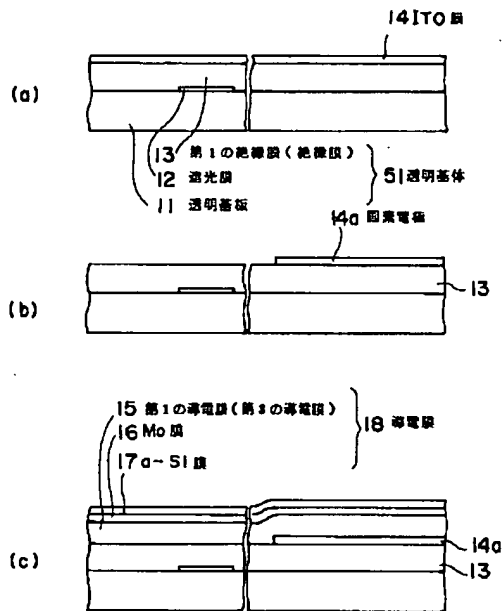
11

21, 21a, 21e, 21f 半導体層、
21b ソース領域層、
21c ドレイン領域層、
21d チャネル領域層、
22 第3の絶縁膜(第4の絶縁膜)、

12
22a, 22b, 22c ゲート絶縁膜、
23 第4の絶縁膜、
23a, 23b, 23c ゲート電極、
24a, 24b, 24c ゲートバスライン、
51 透明基体。

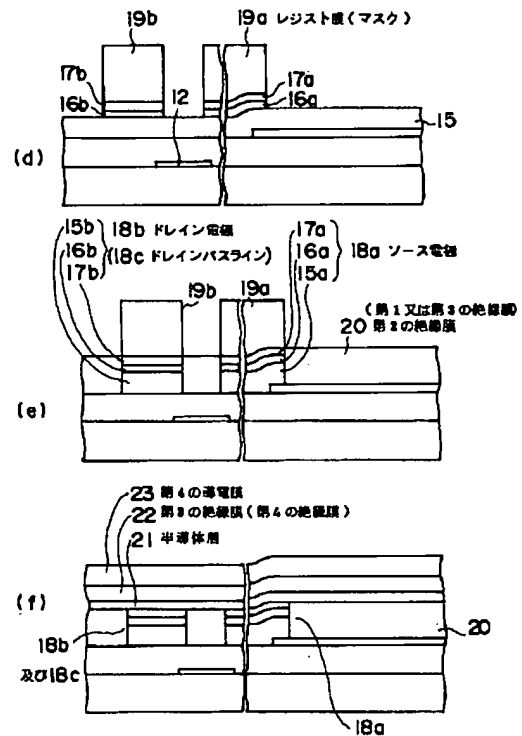
【図1】

本発明の第１の実施例のＴＦＴアクティブマトリクスＬＣＤの製造方法の説明図（その１）



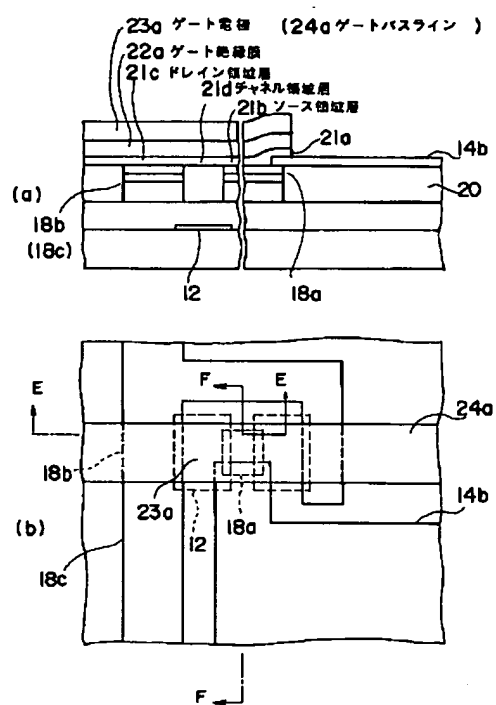
【図2】

本発明の第1の実施例のTFTアクティブマトリクスLCD
の製造方法の説明図(その2)



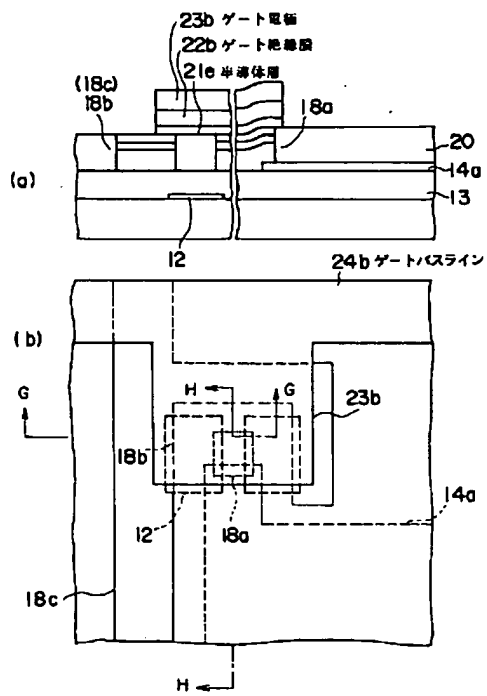
【図4】

本発明の第2の実施例のTFTアクティブマトリクスLCDの製造方法の説明図



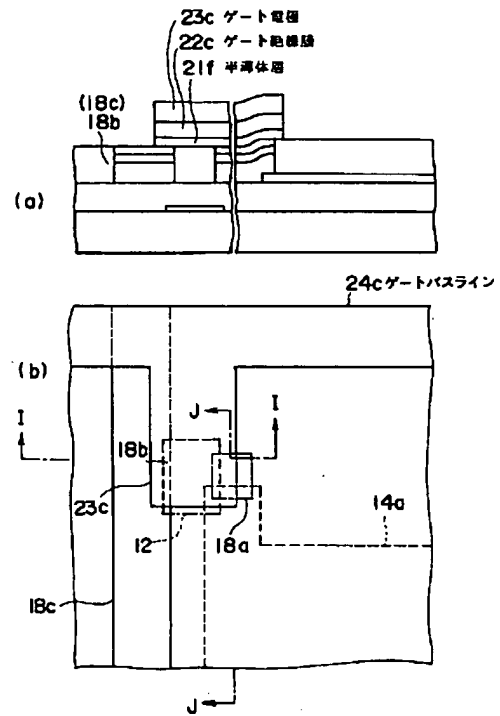
【図5】

本発明の第3の実施例のTFTアクティブマトリクスLCD
の製造方法の説明図

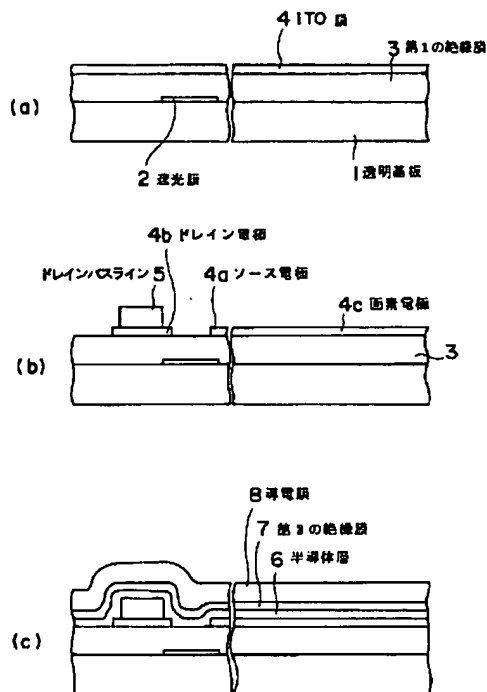


【図6】

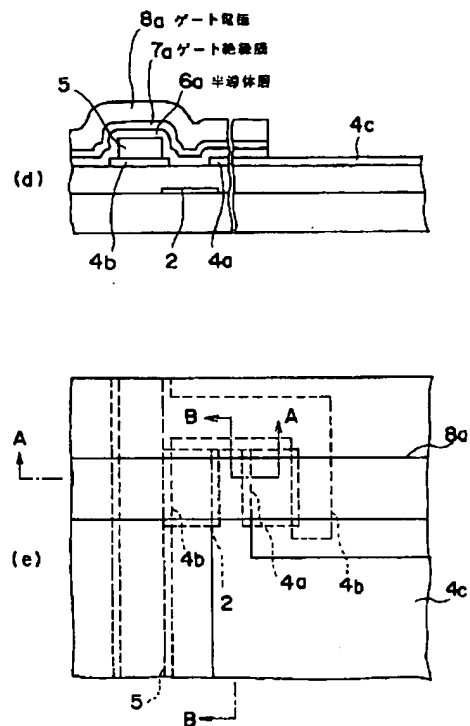
本発明の第4の実施例のTFTアクティブマトリクスLCD
の製造方法の説明図



【図7】

従来例のTFTアクティブマトリクスLCDの製造方法の説明図
(その1)

【図8】

従来例のTFTアクティブマトリクスLCDの製造方法の説明図
(その2)

フロントページの続き

(72)発明者 大形 公士
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 和田 保
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(56)参考文献 特開 昭61-84066 (JP, A)
特開 昭62-52970 (JP, A)
特開 昭63-113489 (JP, A)
特開 昭59-232385 (JP, A)
特開 昭61-141478 (JP, A)
特開 昭62-299082 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/786
H01L 21/336
G02F 1/1368